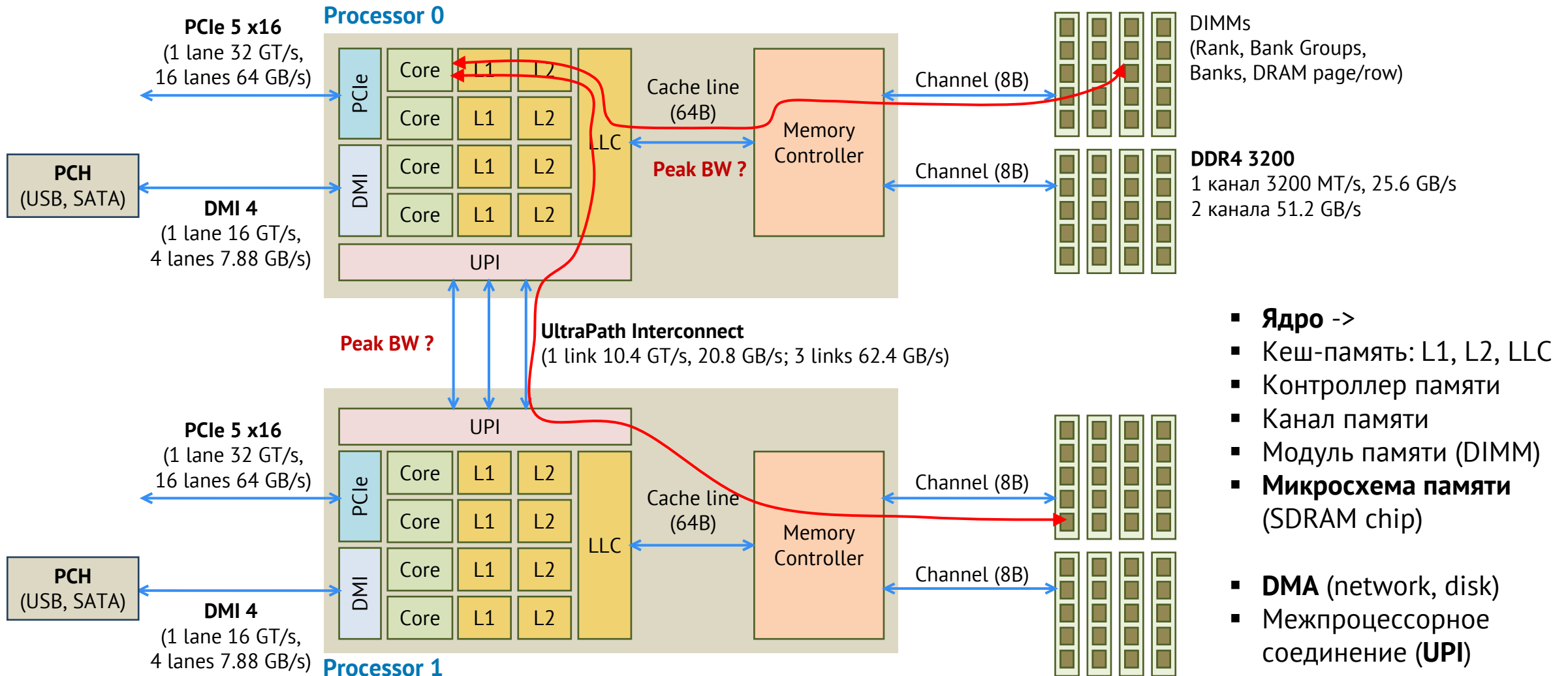


 Курс «Архитектурно-ориентированная оптимизация кода»

# Организация оперативной памяти

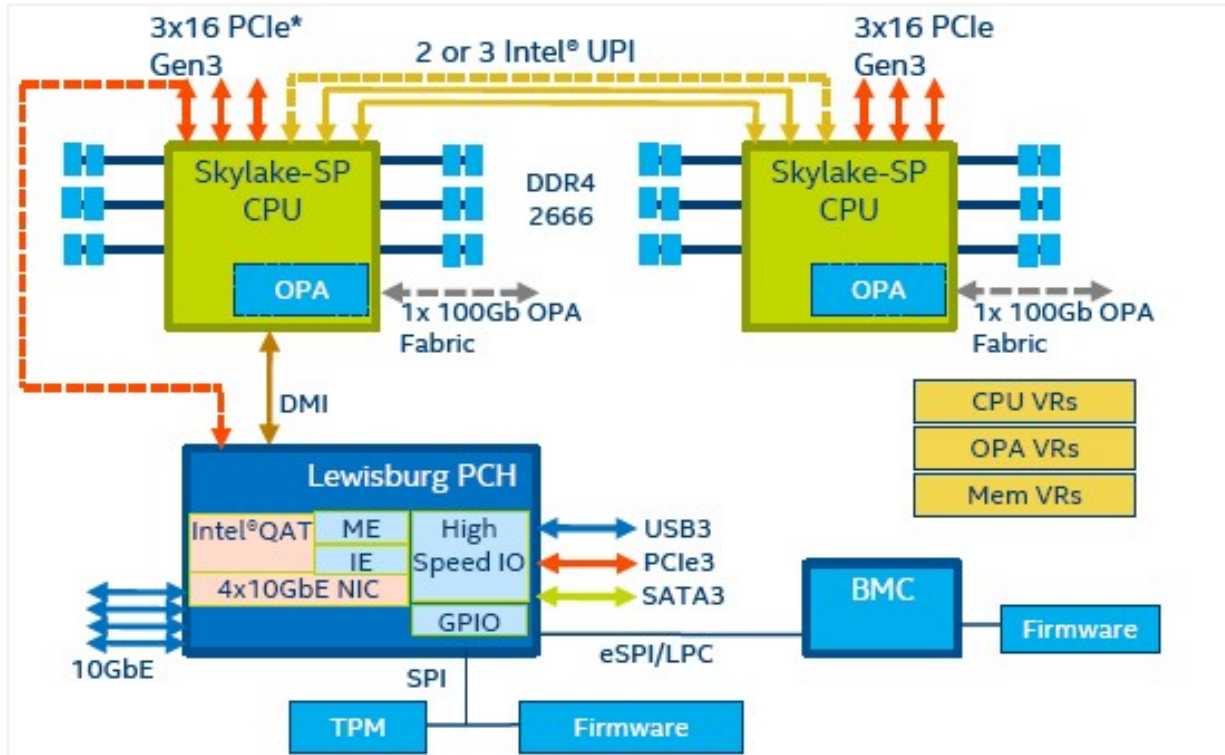
Михаил Курносов

# Dual Socket Server (Intel 64): интерфейсы и пути доступа к памяти

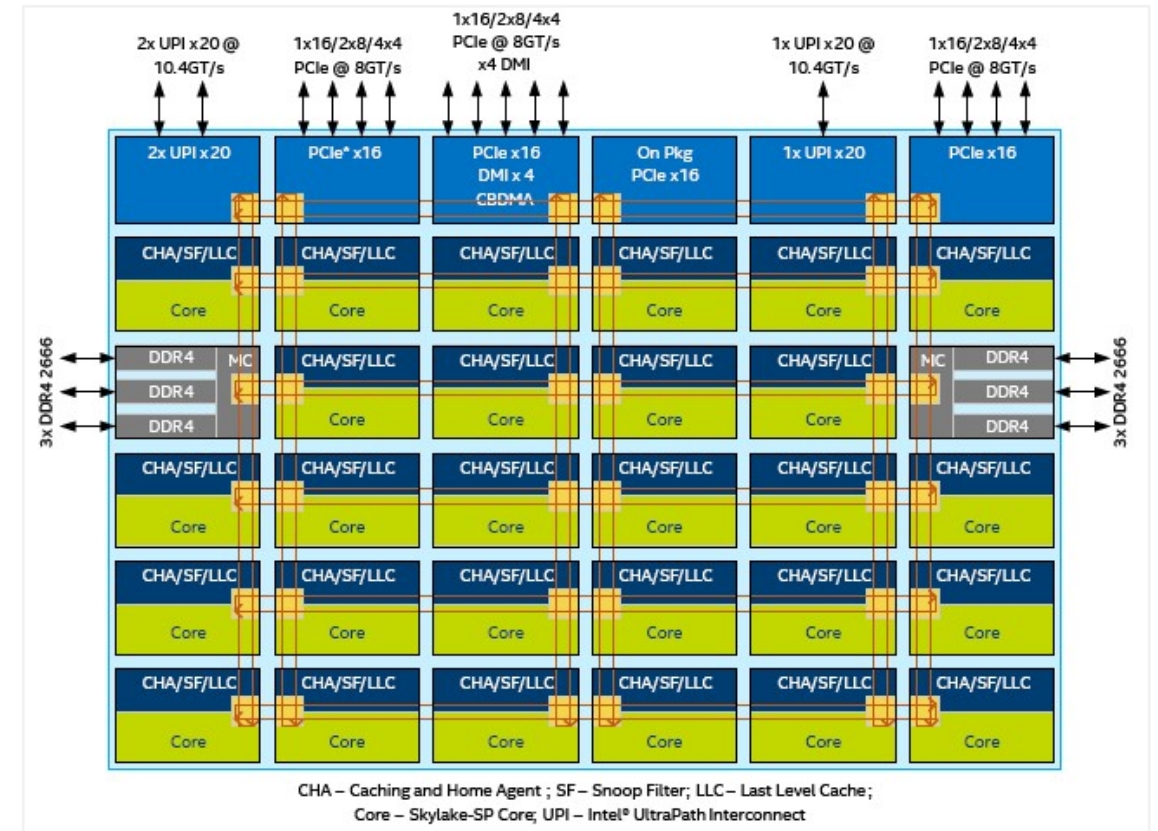


- **Ядро** ->
- Кеш-память: L1, L2, LLC
- Контроллер памяти
- Канал памяти
- Модуль памяти (DIMM)
- **Микросхема памяти** (SDRAM chip)
- **DMA** (network, disk)
- Межпроцессорное соединение (**UPI**)

# Intel Xeon Skylake system

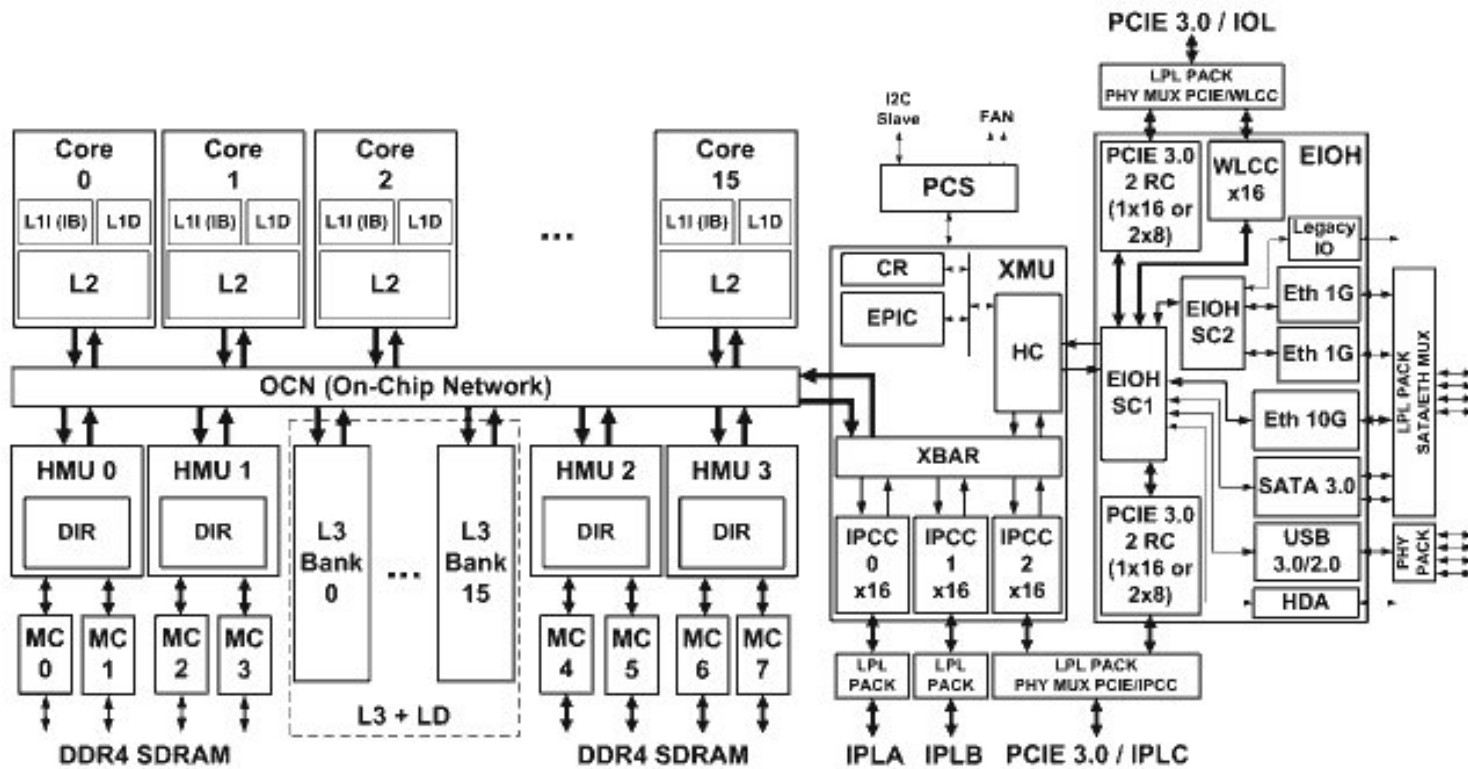


BMC: Baseboard Management Controller	PCH: Intel® Platform Controller Hub	IE: Innovation Engine
Intel® OPA: Intel® Omni-Path Architecture	Intel QAT: Intel® QuickAssist Technology	ME: Manageability Engine
NIC: Network Interface Controller	VMD: Volume Management Device	NTB: Non-Transparent Bridge

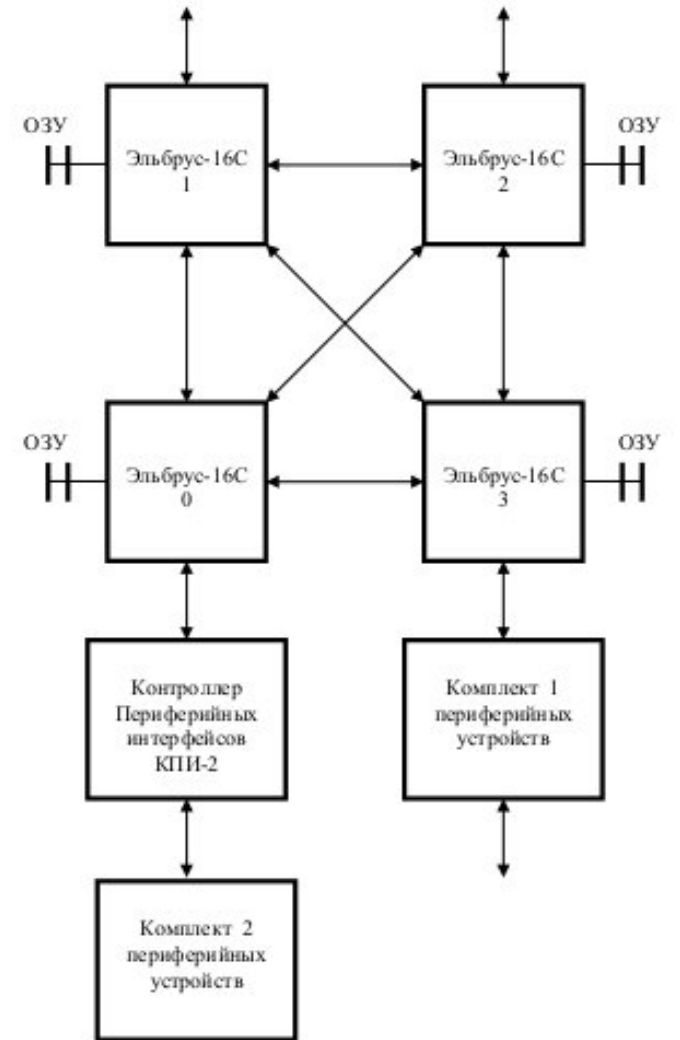


CHA – Caching and Home Agent ; SF – Snoop Filter; LLC – Last Level Cache;  
Core – Skylake-SP Core; UPI – Intel® UltraPath Interconnect

# Эльбрус 16С



Процессор (16 ядер)



Сервер (4 процессора)

# **Память с произвольным доступом (RAM – Random Access Memory)**

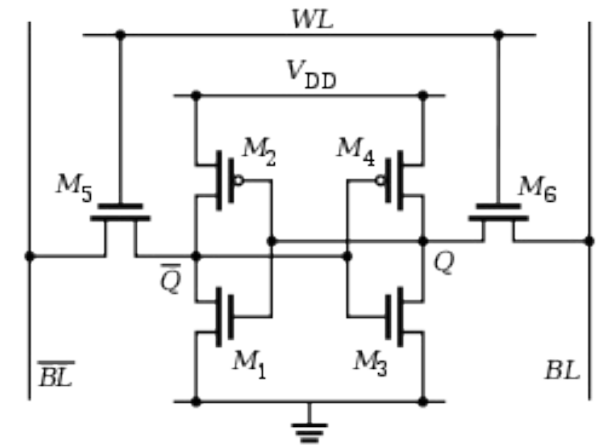
# Память с произвольным доступом (RAM – Random Access Memory)

- **Энергозависимая память (volatile RAM)**
  - SRAM (Static RAM) – регистры и кеш-память процессора
  - DRAM (Dynamic RAM) – оперативная память
- **Энергонезависимая RAM (non-volatile, NVRAM)**
  - Флеш-память NAND (SSD, USB-накопители)
  - Флеш-память NOR (память микроконтроллеров, микросхемы хранения BIOS)

# Static RAM (SRAM)

- **Ячейка:** 6-8 транзисторов формируют триггер
- **Запись:** на линии BL и not BL подается требуемое значение 0/1, на линию WL подается 1, что открывает транзистор M5 или M6 и приводит к переключению триггера
- **Чтение:** на линию WL подается 1, открываются транзисторы M5 и M6, значение триггера подается на линии BL и not BL
- **Быстрый доступ** (~ 10ns, сразу после подачи напряжения на WL)
- Не требует регенерации состояния (быстрее чем DRAM)
- Не требуются сложные контроллеры (дешевле чем DRAM)
- **Невысокая плотность** (6-8 транзисторов на бит, у DRAM – 2 транзистора)
- Более сложное производство чем DRAM (выше стоимость)
- **Применение:** кеш-память и регистры процессоров, небольшая память микроконтроллеров и FPGA

**6T SRAM cell**  
(двоичный триггер)

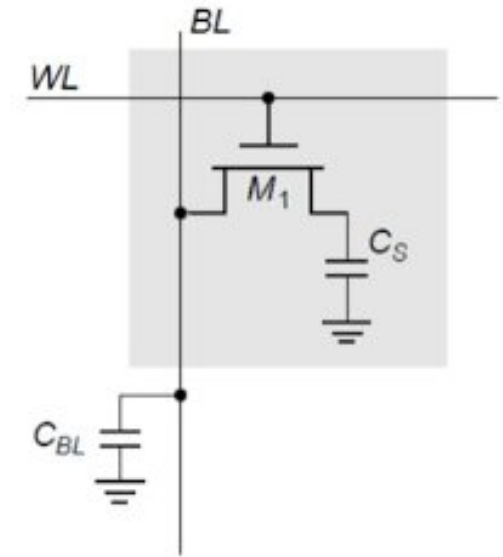


- **M1-M4** – транзисторы, формирующие два перекрещенных инвертора
- **WL** (word line) – линия управления транзисторами доступа M5 и M6
- **BL** (bit line) – линия чтения/записи

# Dynamic RAM (DRAM)

- **Ячейка DRAM:** 1 транзистор, 1 конденсатор (хранит состояние)
- **Запись:** на линию BL подается требуемое значение, на линию WL подается ток на время, достаточное для зарядки или разрядки конденсатора
- **Чтение:** на линию WL подается ток, на линии BL появляется состояние ячейки
- Необходима периодическая перезарядка конденсатора (каждые ~64ms - 15-30Hz, во время регенерации доступ к ячейке невозможен, JEDEC Standard)
- **Высокая плотность** (1 транзистор на ячейку)
- **Высока задержка** (заряд и разряд требуют времени)
- **Применение:** оперативная память

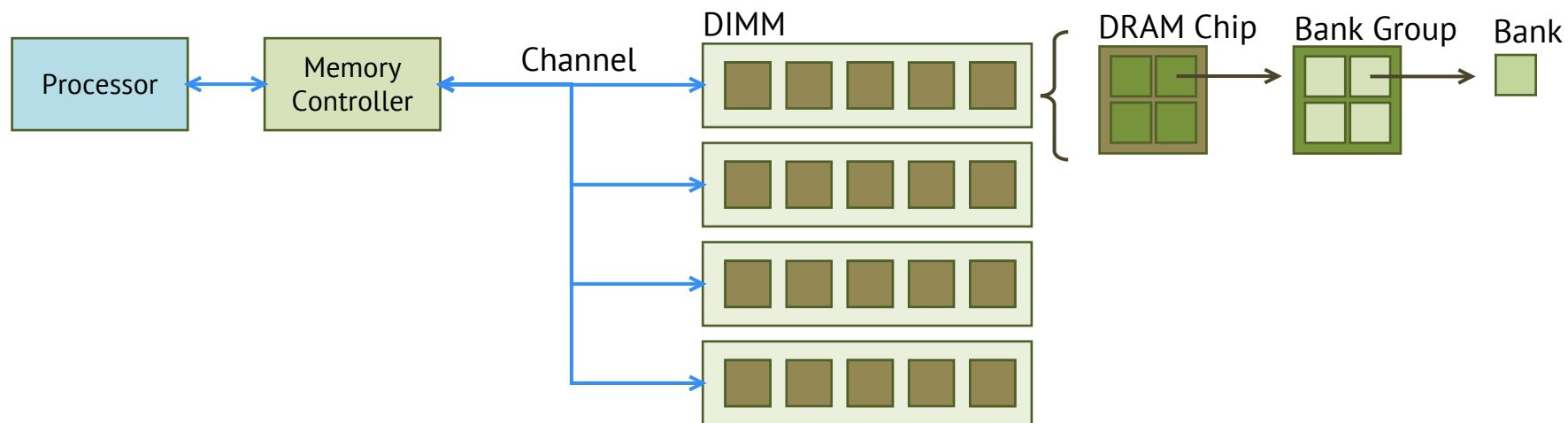
## 1T1C DRAM cell



- **M1** – транзистор доступа к конденсатору
- **C<sub>s</sub>** – конденсатор
- **WL** (word line) – линия управления транзистором
- **BL** (bit line) – линия чтения/записи

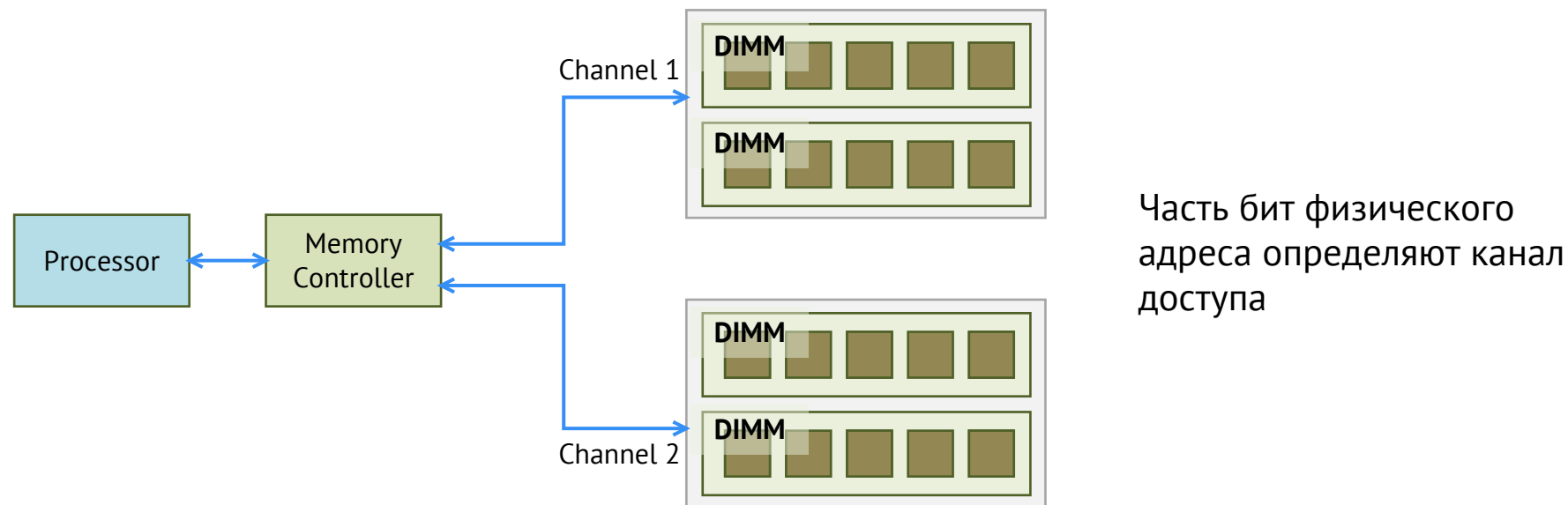


# Иерархическая организация SDRAM



- **Memory controller** – контроллер памяти (многоканальный)
- **Channel** – канал доступа к памяти (64bit = 8B, 128bit)
- **DIMM** – модуль памяти из нескольких микросхем SDRAM
- **Rank** – группа микросхем SDRAM для увеличения ширины шины (8x8b = 64b)
- **Chip** – микросхема памяти SDRAM (шина данных 4, 8, 16 бит)
- **Bank** – независимый блок памяти микросхемы (2D массив ячеек)
- **Row (DRAM page)** – строка банка памяти (страница DRAM)

# Многоканальный контроллер памяти



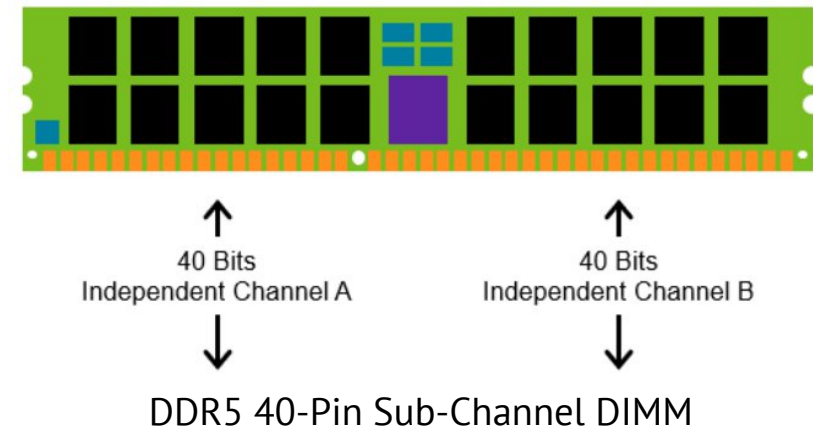
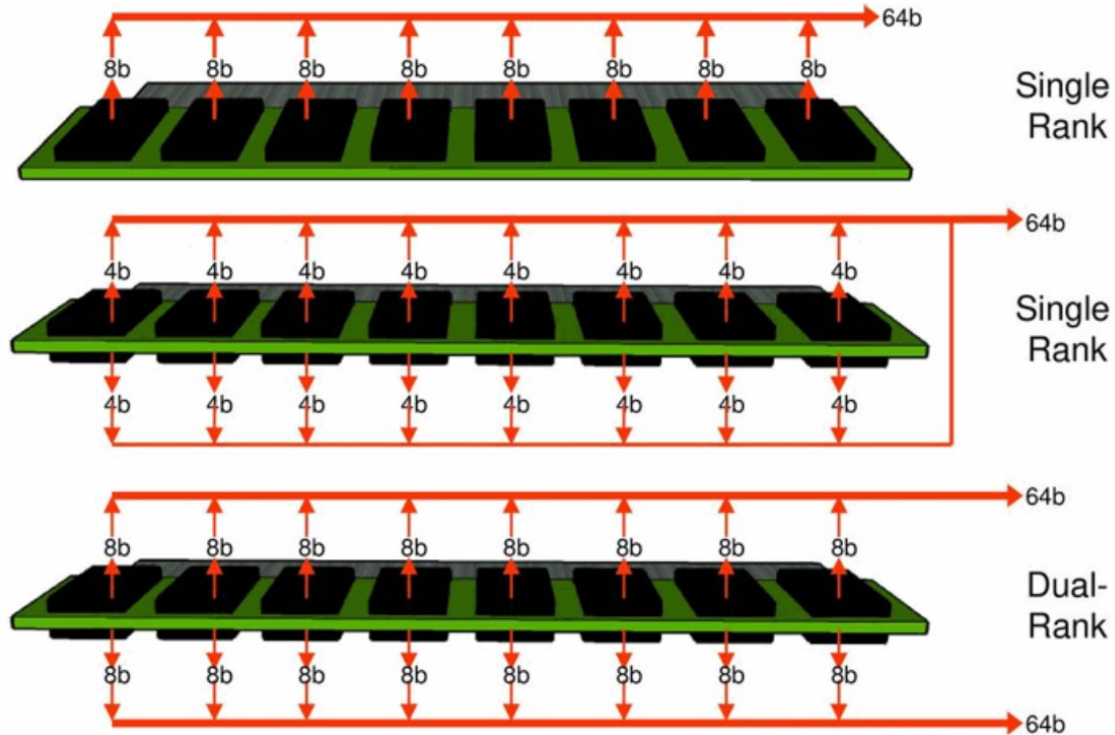
Часть бит физического адреса определяют канал доступа

## Режимы работы:

- **независимые каналы** (unganged) – распределение запросов к памяти, повышение пропускной способности
- **объединенные каналы** (ganged) – формируется логический канал с большей шириной (2x64 бит = 128)
- Эльбрус-8С (quad-channel IMC)
- Intel Core i7 800, Эльбрус-1С+ (dual-channel IMC)
- Intel Core i7 900, Эльбрус-4С (triple-channel IMC)
- AMD Threadripper, AMD Epyc, Intel Xeon E7 x8xx, Intel Core i7/i9, AMD Epyc, Cavium ThunderX2 (octa-channel)

# DIMM (Dual Inline Memory Module)

- Набор микросхем SDRAM
- Несколько модулей DIMM подключены к каналу памяти
- Контакты (pins): адрес (группа банков, банк, строка, столбец), команда, данные



# DIMM (Dual Inline Memory Module)

- На DIMM размещена **микросхема SPD (Serial Presence Detect)** последовательного обнаружения присутствия – ПЗУ с информацией о типе и конфигурации модуля, таймингах, код производителя, серийный номер, дата изготовления, температурный режим
- Доступ к SPD по шине SMBus (в ходе POST)



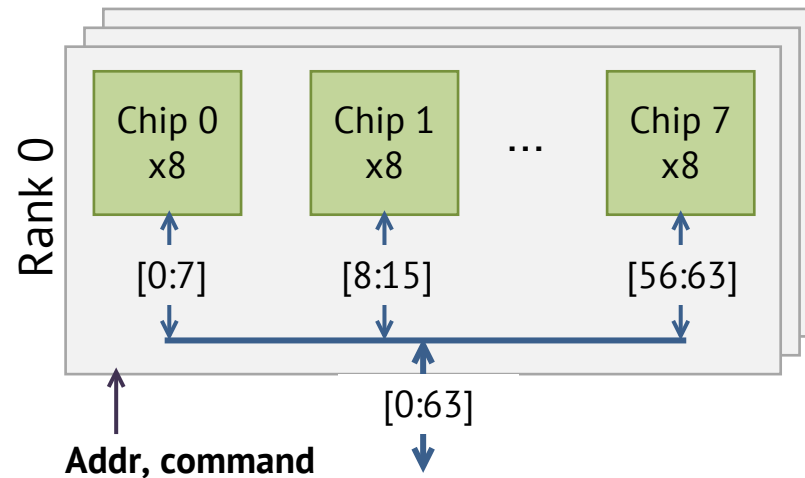
## Crucial 8GB DDR4-2400 UDIMM

- 8 микросхем образуют один ранг (64 бита)
- 288-pin, 1.2V, **1Rx8**, PC4-19200, CAS Latency 17
- 1 rank (64 bits bus): 8 chips (1GB, 8 bit bus)

# Ранг памяти (rank)

- **Ранг (rank)** – независимая группа микросхем SDRAM
- Ранги одного модуля DIMM не могут работать одновременно
- Все микросхемы получают один и тот же адрес, команду
- За каждой микросхемой закреплена часть разрядов шины данных

Каждая из 8 микросхем ранга формирует 8 бит шины данных = 64 бит

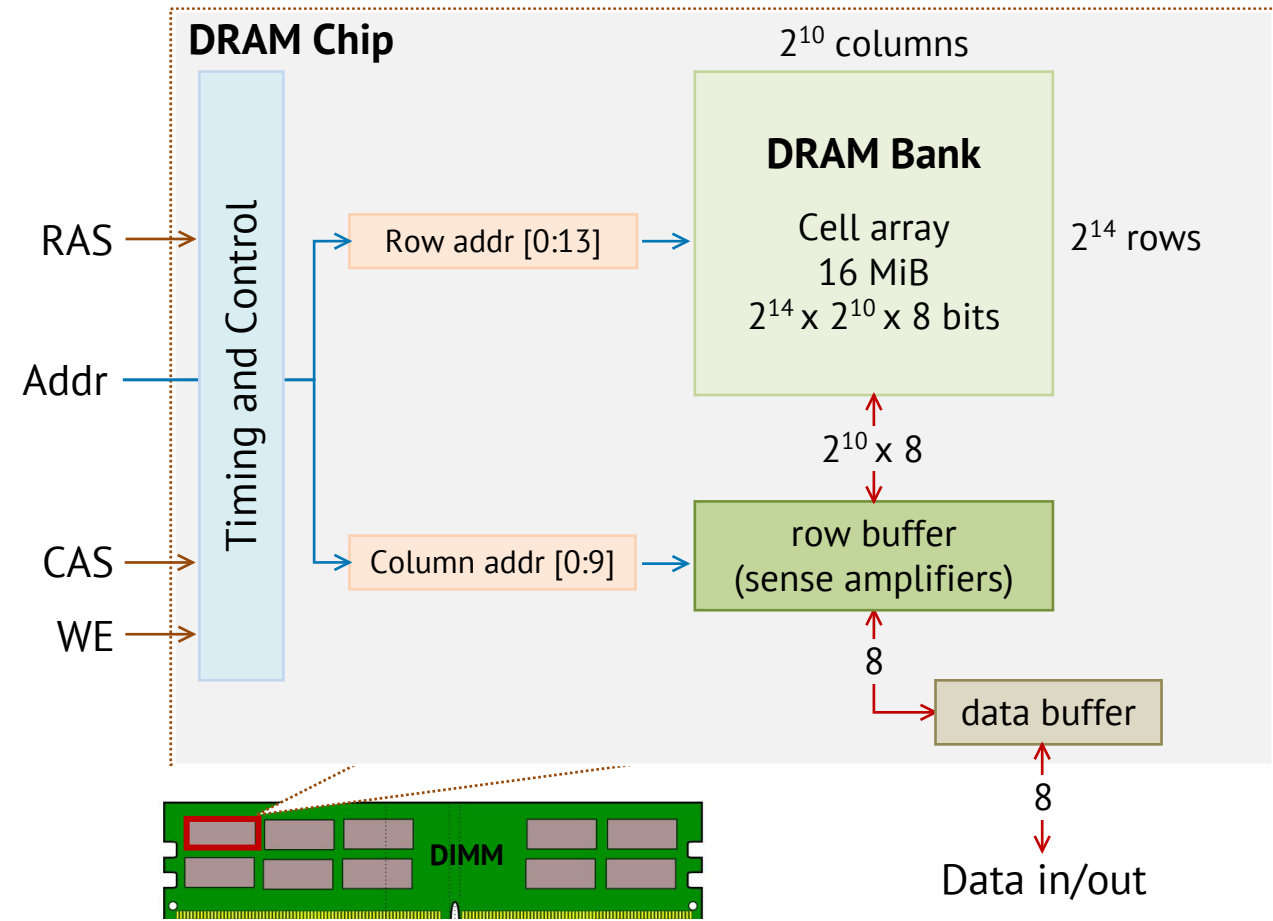


Memory channel (pins)

Cmd	Addr: Bank Group, Bank, Row, Col	Chip Select (Rank)	Data [0:63]
-----	----------------------------------	--------------------	-------------

# Банк памяти (DRAM Bank)

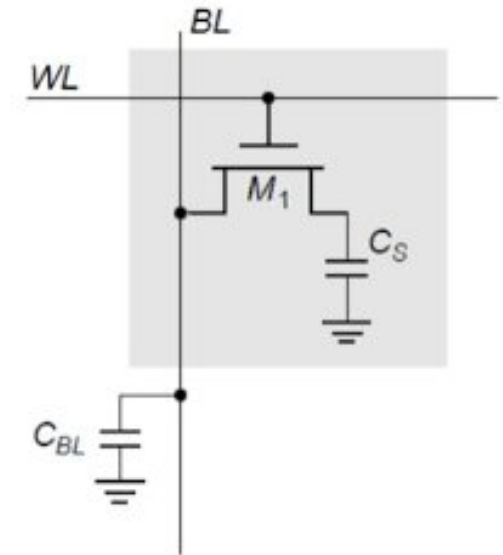
- **DRAM Bank** – массив однобитовых ячеек с фиксированным количеством строк (row) и столбцов (column)
- **DRAM Page** – строка битовых ячеек ( $2^{10}$  бит)
- **Addr** – адрес ячейки (строки и столбца)
- **RAS** (Row Address Strobe) – сигнал готовности адреса строки
- **CAS** (Column Address Strobe) – сигнал готовности адреса столбца
- **WE** (Write Enable) – сигнал операции записи



# Ячейка DRAM (1 бит)

- **Ячейка DRAM:** 1 транзистор, 1 конденсатор (хранит состояние)
- **Запись:** на линию BL подается требуемое значение, на линию WL подается ток на время, достаточное для зарядки или разрядки конденсатора
- **Чтение:** на линию WL подается ток, на линии BL появляется состояние ячейки
- Необходима периодическая перезарядка конденсатора (каждые ~64ms - 15-30Hz, во время регенерации доступ к ячейке невозможен, JEDEC Standard)
- Высокая плотность (1 транзистор на ячейку)
- Высока задержка (заряд и разряд требуют времени)
- **Применение:** оперативная память

## 1T1C DRAM cell



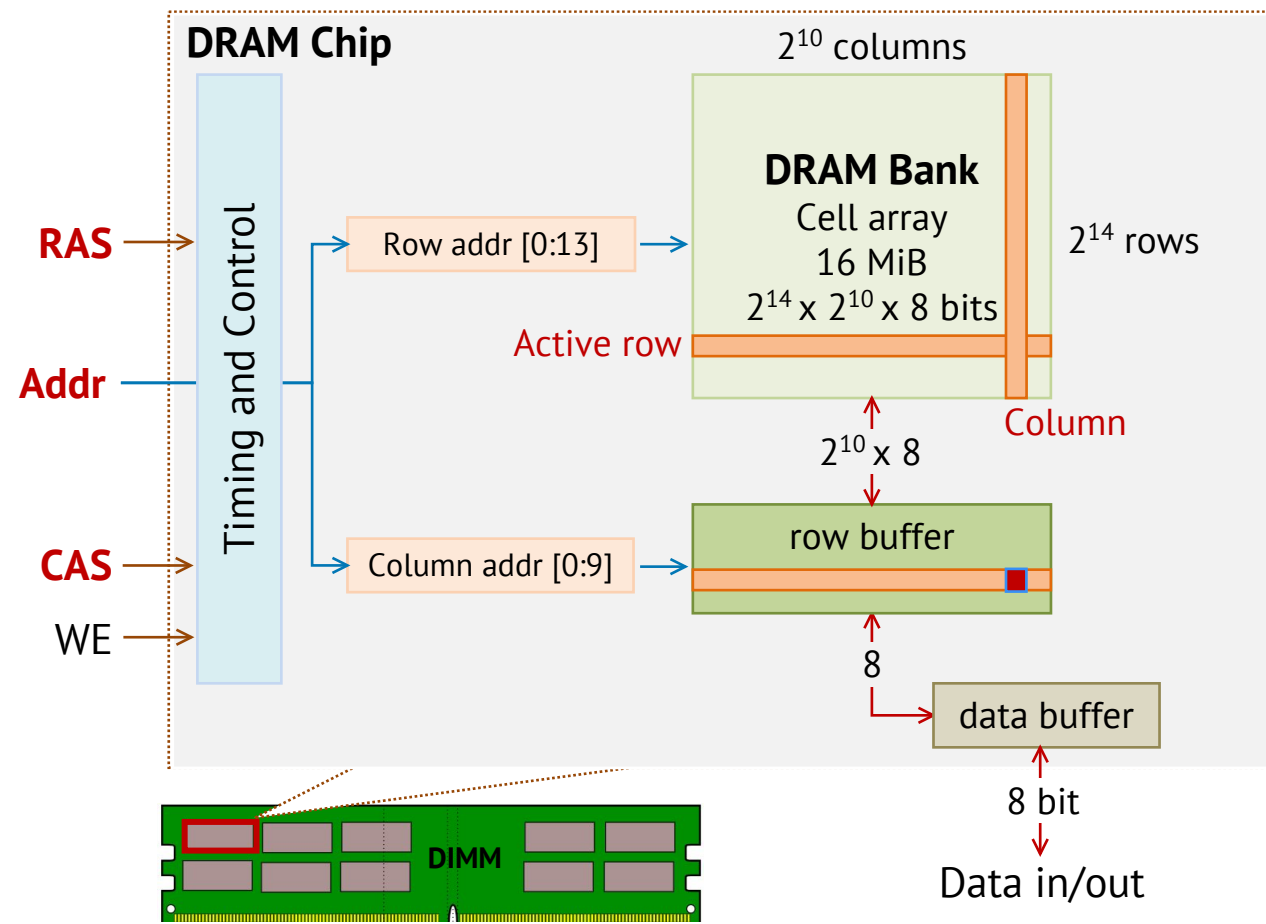
- **M1** – транзистор доступа к конденсатору
- **C<sub>s</sub>** – конденсатор
- **WL** (word line) – линия управления транзистором
- **BL** (bit line) – линия чтения/записи

# Операция чтения SDRAM (read)

1. Устанавливается адрес Addr (на всех микросхемах ранга)
2. Сигнал RAS понижается
3. Декодируется адрес строки, строка активируется
4. Строка загружается в буфер (row buffer)
5. Сигнал CAS понижается
6. Декодируется адрес столбца
7. Из буфера строки выбирается столбец и подается на выход (data buffer)
8. Сигнал RAS повышается
9. Строка обновляется (регенерируется)
10. Сигнал CAS повышается
11. Данные не доступны на выходе

## Команды:

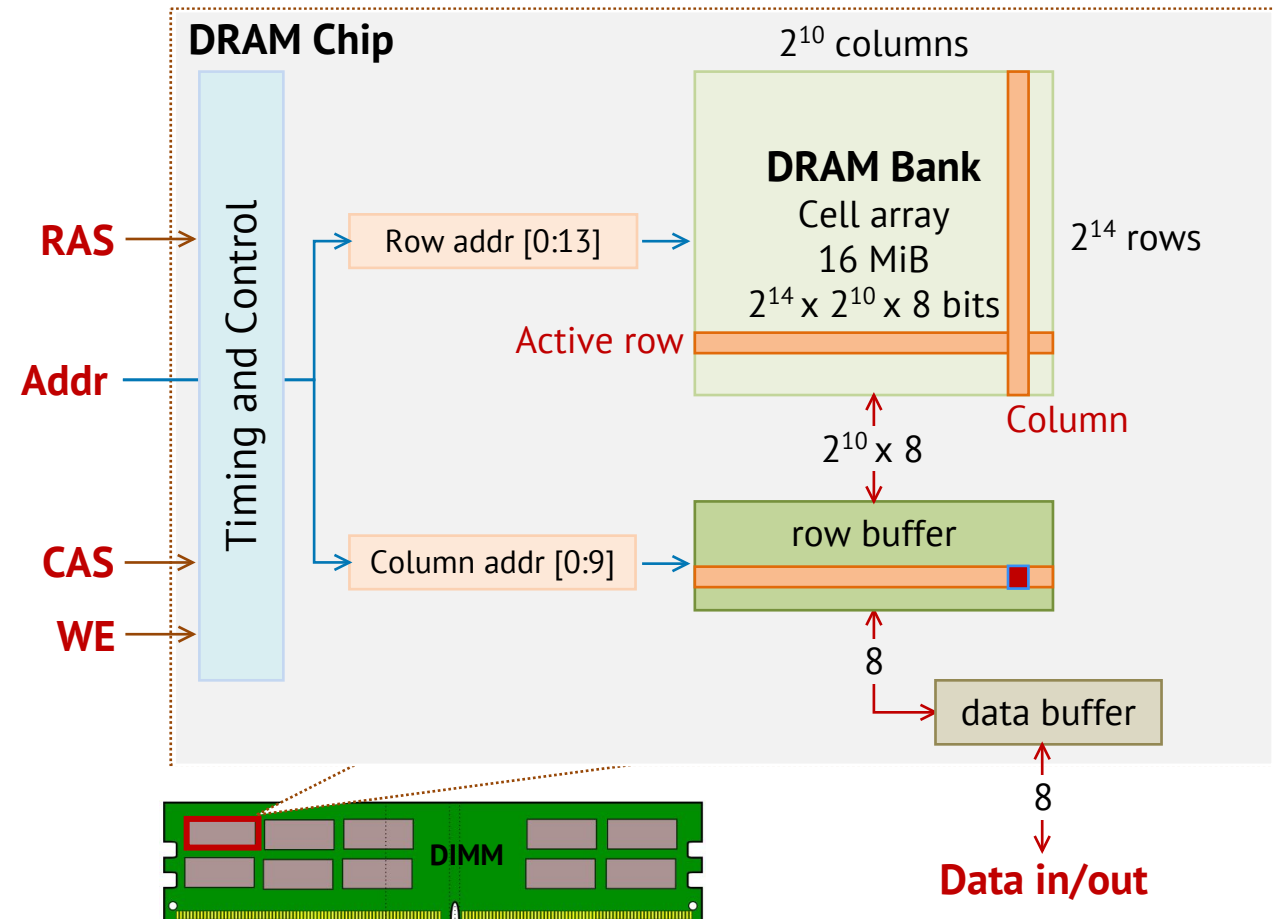
- READ – чтение, строка остается открытой
- READ+AP – чтение, строка закрывается и регенерируется





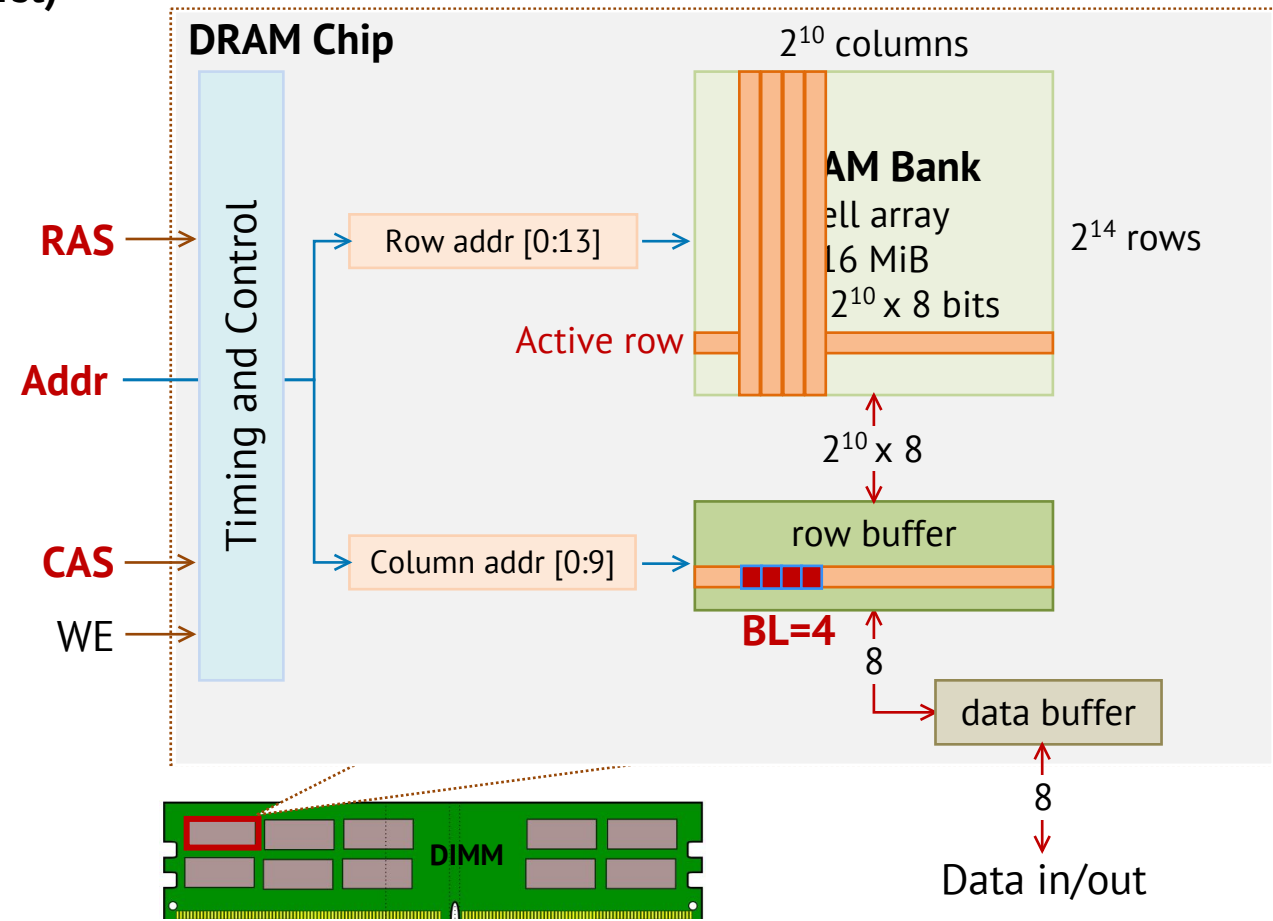
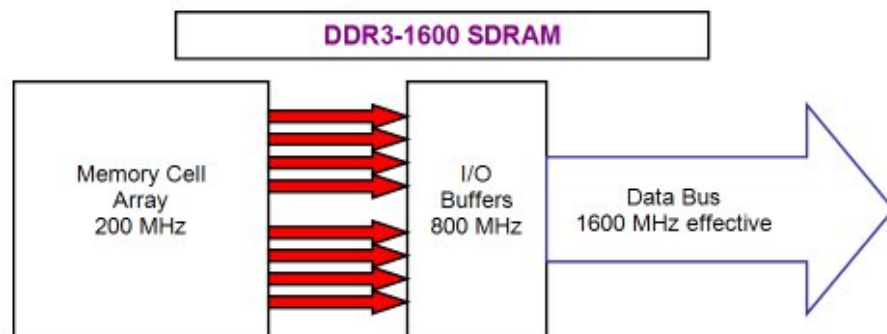
# Операция записи SDRAM (write)

1. Устанавливается адрес Addr
2. Сигнал RAS понижается
3. Декодируется адрес строки, строка активируется
4. Строка загружается в буфер (row buffer)
5. Данные подаются на вход (data in)
6. Сигнал WE понижается
7. Сигнал CAS понижается
8. Декодируется адрес столбца
9. Из входного буфера выбирается столбец и записывается в буфер строки (row buffer)
10. Строка в массиве обновляется содержимым буфера (row buffer)
11. Повышаются сигналы WE, RAS, CAS



# Передача данных пакетами (burst)

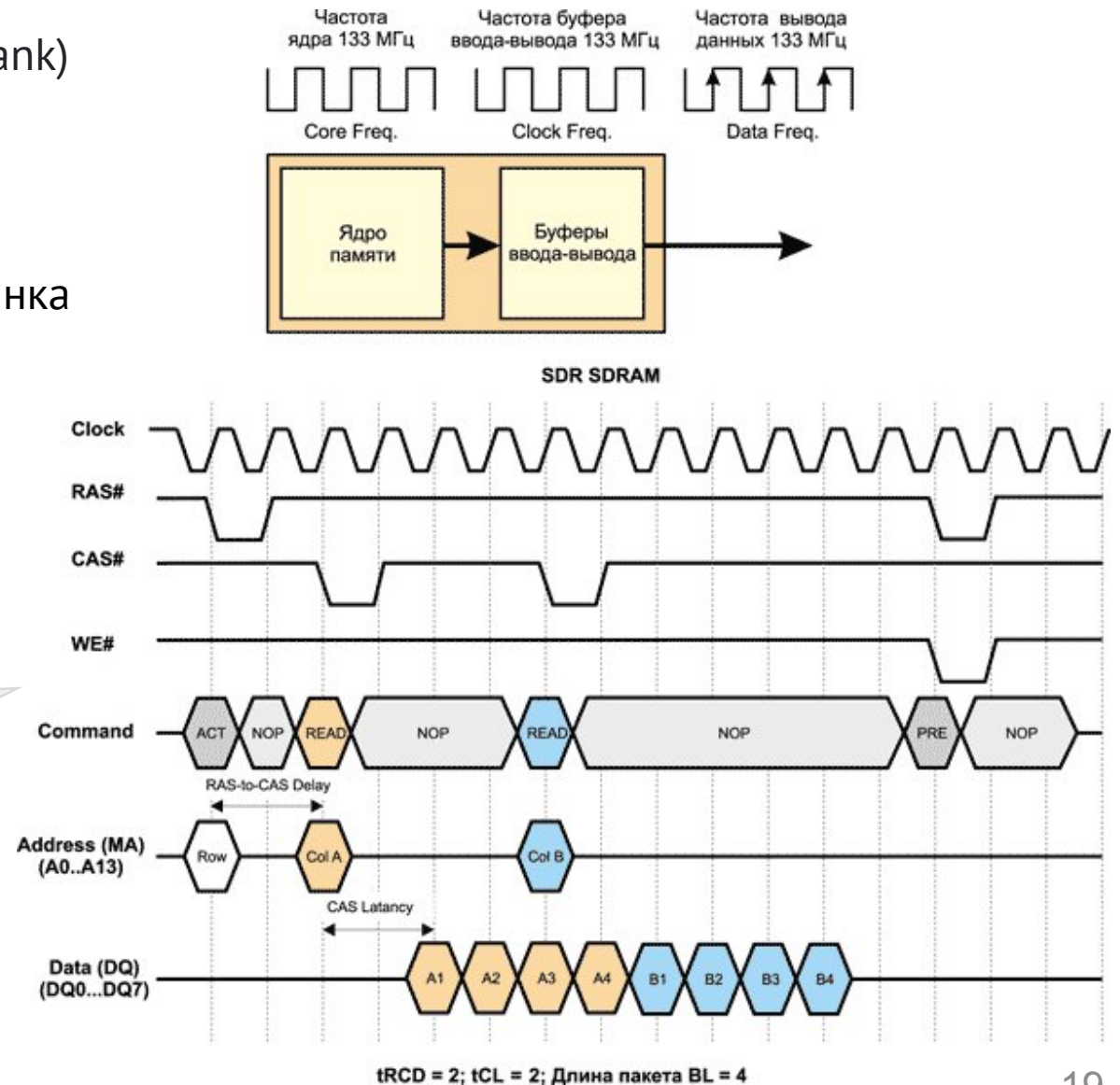
- Команды READ/WRITE считывает несколько подряд расположенных элементов открытой строки – **пакет (burst)**
- **Burst Length (BL)** – длина пакета, количество элементов считываемых одной командой (2, 4, 8, 16)
- Первый элемента пакета доступен через tCAS, второй – на следующем такте, ...
- Специальные команды Full-Page Burst + Burst Terminate
- Данные размещаются в буфере:
  - DDR – 2 элемента (2n-prefetch, BL  $\geq$  2)
  - DDR2 – 4 элемента (4n-prefetch, BL  $\geq$  4)
  - DDR3 – 8 элементов (8n-prefetch, BL  $\geq$  8)
  - DDR4 BL=8, DDR5 BL=16



# Чередование банков памяти (Bank Interleaving)

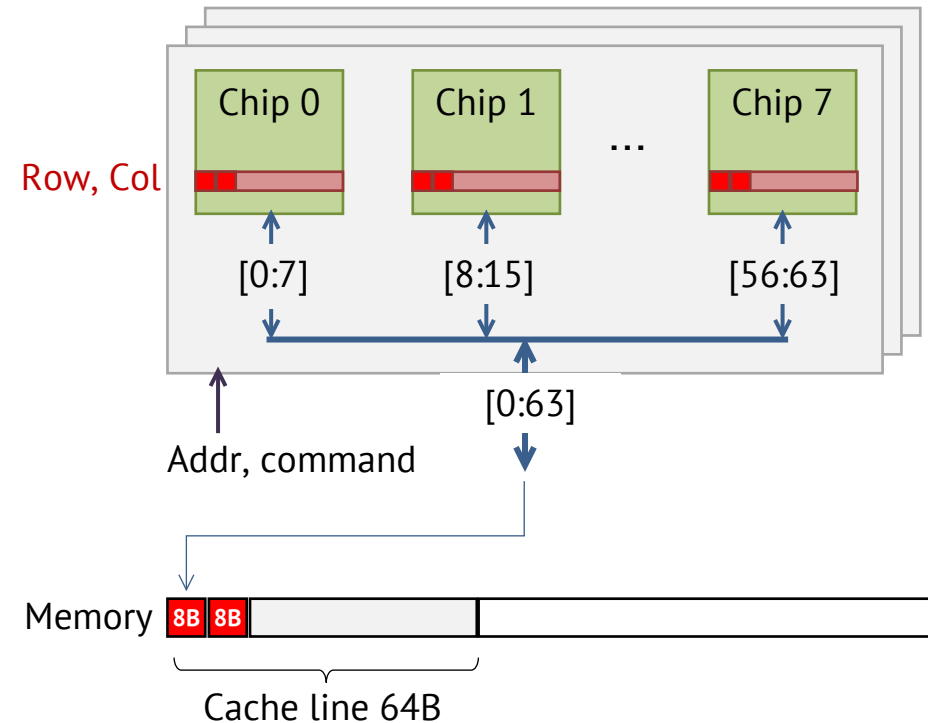
- Микросхема памяти включает независимые банки (bank)
- Выборка данных из одного банка совмещается во времени с установкой адреса в другом банке
- На каждом такте поступают данные из очередного банка (без ожидания, время регенерацию скрыто)
- Конвейерное выполнение команд в разных банках (pipelining)

- Два банка: совмещение чтения из одного банка с установкой адреса в другом банке
- Доступ к банкам чередуется (interleaving), устраняются задержки на открытие строк



# Передача строки кеш-памяти

- **Загрузка строки кеш-памяти (64B) – 8 тактов**
- **Источники задержки:**
  - CPU – MC  
(очередь запросов, планирование, преобразование в команды SDRAM)
  - MC – SDRAM (тайминги)
  - Bank conflicts
  - Channel conflicts





# DRAM Timings

- **Тайминги (timings)** – временные задержки памяти (латентность, в тактах шины памяти)  
    <CAS Latency> – <RAS to CAS Delay> – <Row Precharge Time> – <Row Active Time> – <Command Rate>
- **CAS Latency (tCL)** – задержка между CAS и появлением первого бита на выходе микросхемы (максимальная задержка для лучшего случая – открытой строки, page hit)
- **RAS to CAS Delay (tRCD)** – задержка между сигналами RAS и CAS (открытие строки)
- **Row Precharge Time (tRP)** – задержка между командой регенерации и открытием следующей строки
- **Row Active Time (tRAS)** – задержка между открытием строки и командой регенерации
  
- Задержка чтения первого бита открытой строки (page hit): tCL
- Задержка чтения первого бита неоткрытой строки: tRCD + tCL
- Задержка чтения первого бита при несовпадающей открытой строке (page miss): tRP + tRCD + tCL

Generation	tCL	tRCD	tRP	tRAS
DDR2	5	5	5	15
DDR3	9	9	9	24
DDR4	16	16	16	N/A

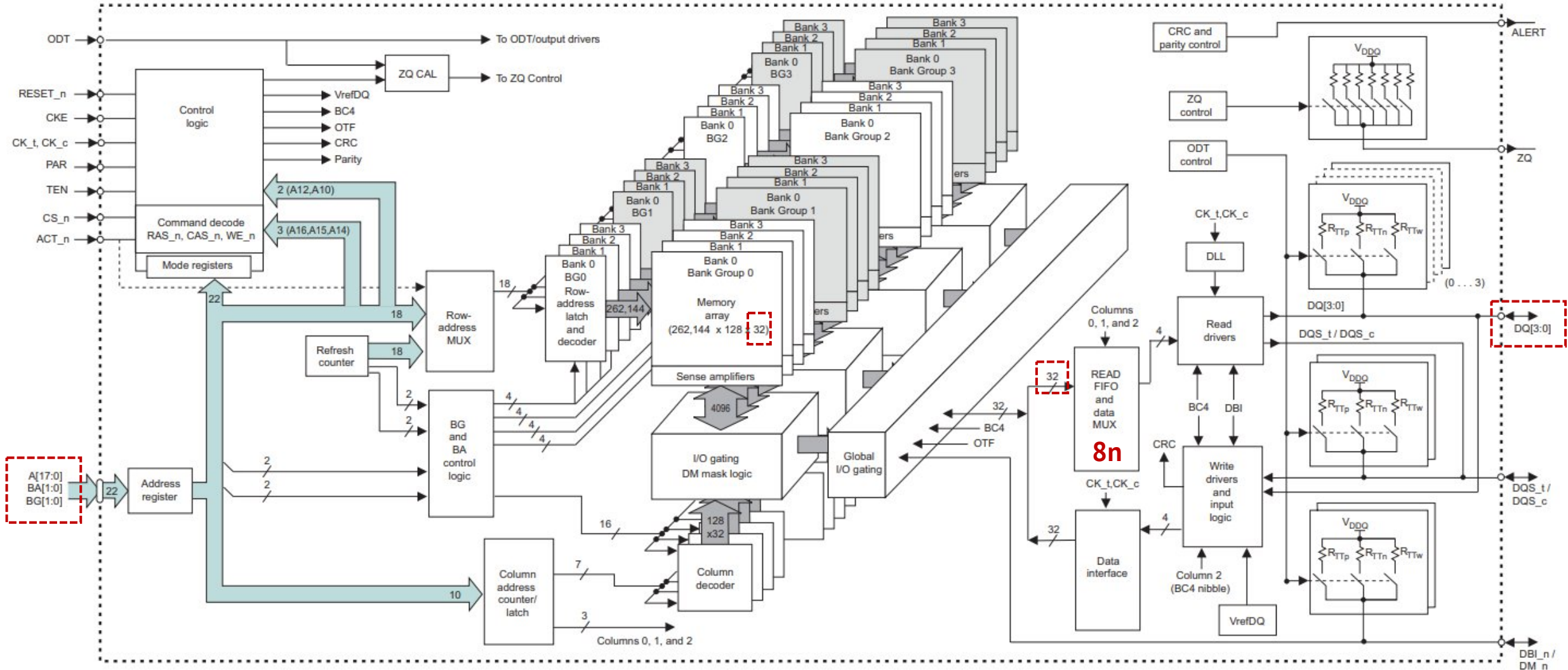
# DRAM Timings

Name			Chip		Bus			Timings	
Standard	Type	Module	Clock rate (MHz)	Cycle time (ns)	Clock (MHz)	Transfer rate (MT/s)	Bandwidth (MB/s)	CL-RCD-RP	CAS Latency (ns)
DDR3-2133	DDR3-2133M	PC3-1700	266	3.75	1066	2133	17066	13-13-13	12.188
Bandwidth = $266 * 4$ (bus clock multiplier) * $2$ (data rate) * $64$ (bus width) / $8 = 17066$ MB/s CAS Latency = $1000 * CL / \text{Bus Clock} = 13000 / 1066 = 12.188$									

Technology	Module Speed (MT/s)	Clock Cycle Time (ns)	CAS Latency (clk)	CAS Latency (ns)
SDR	100	8.00	3	24.00
DDR	333	6.00	2.5	15.00
DDR2	800	2.50	6	15.00
DDR3	1600	1.25	11 	13.75 
DDR4	3200	0.62	22	13.75
DDR5	4800	0.42	40	16.67
CAS Latency (ns) = $1 / (\text{Module Speed} * 10^6 / 2) * 10^9 * \text{CAS Latency} = 1 / (4800\ 000\ 000/2) * 10^9 = 0.42 * 40 = 16.67$				

# Micron DDR4 SDRAM Chip (4GBx4, MT40A4G)

16-bank (4-banks per Bank Group), page size 512B, burst length 8, parallel 8n-prefetch in each Bank Group



- **8n-prefetch (burst):** восемь 4-х битных последовательно расположенных слов загружается в буфер за один такт (32 бита)
- для группы банков реализован независимый выбор операций (активация, чтение, запись, регенерация)

# DDR4 / DDR5

## DDR4 (2014)

- Frequency (MHz): 800 – 1600  
(DDR4-1600 – DDR4-3200)
- Data rate (MT/s): 1600 – 3200  
(PC4-12800 – PC4-25600)
- Bandwidth (MB/s): 12800 – 25600
- Data bus width 64 bit
- Burst length 8
- 2 Bank Groups, 2 Banks per Group
- LPDDR4, LPDDR4x

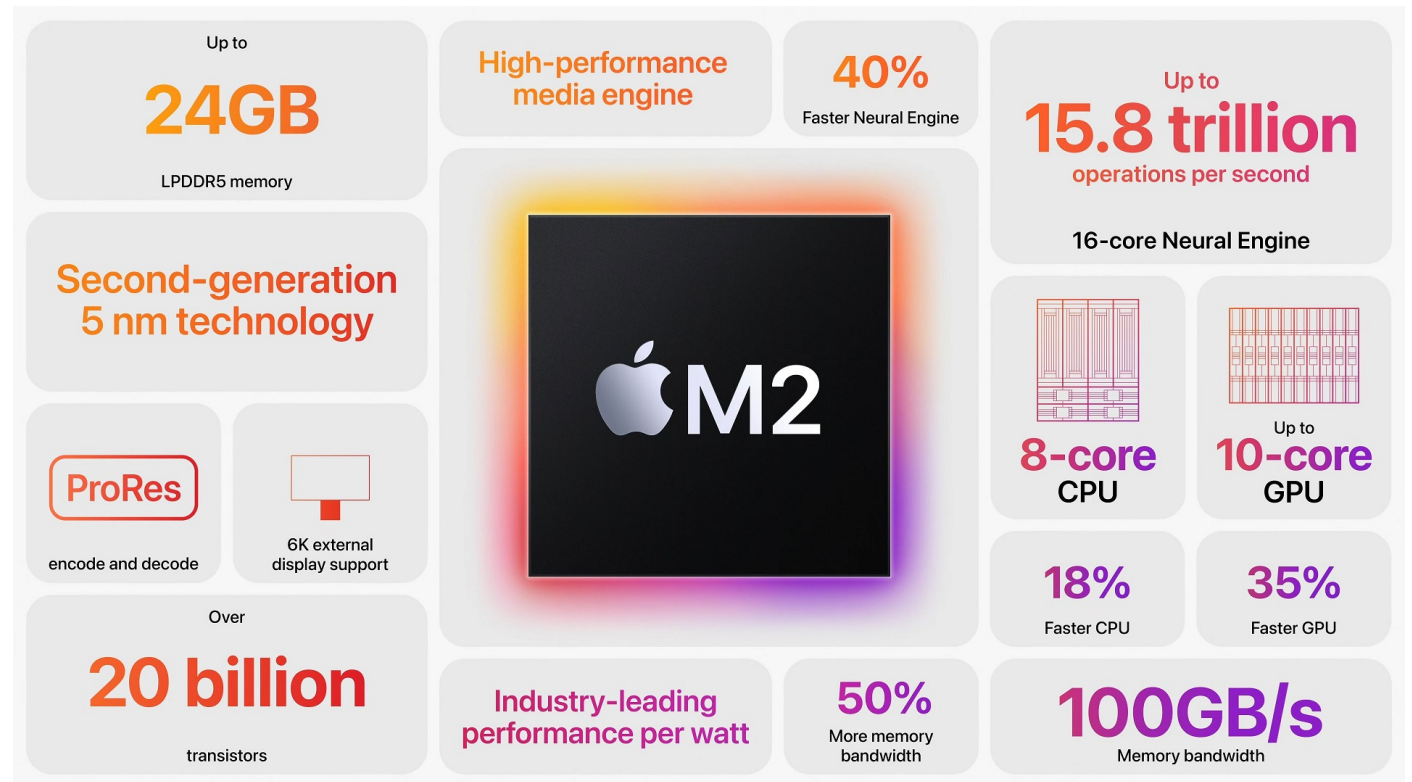
## DDR5 (2020)

- Frequency (MHz): 2400 – 3200  
(DDR5-4800 – DDR5-6400)
- Data rate (MT/s): 4800 – 6400  
(PC5-38400 – PC5-51200)
- Bandwidth (MB/s): 38400 – 51200
- 2 канала на DIMM: 2 x 32 bit
- Burst length 16
- 4 Bank Groups, 4 banks per group
- LPDDR5, LPDDR5x

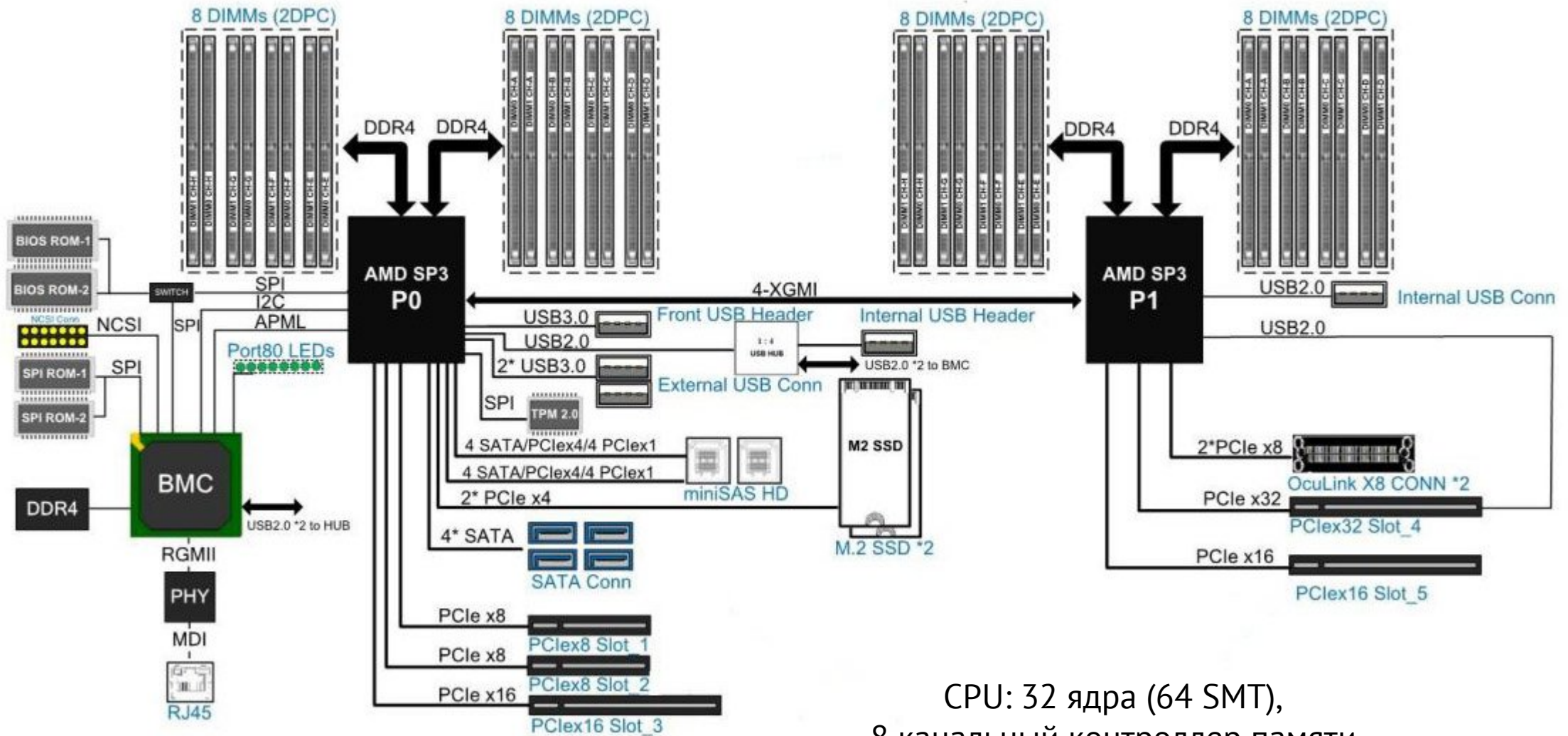


# Apple MacBook Pro 13 2022 (SoC M2)

- CPU: 8 core (4P + 4E), GPU: 10 core, Neural Engine
- L1: 192+128KB (P cores), 128+64KB (E)
- L2: 16MB (P) + 4MB (E)
- L3: 8MB
- **RAM: 24 GB unified**  
(2 x 12GB, 128-bit LPDDR5-6400, 102 GB/s)



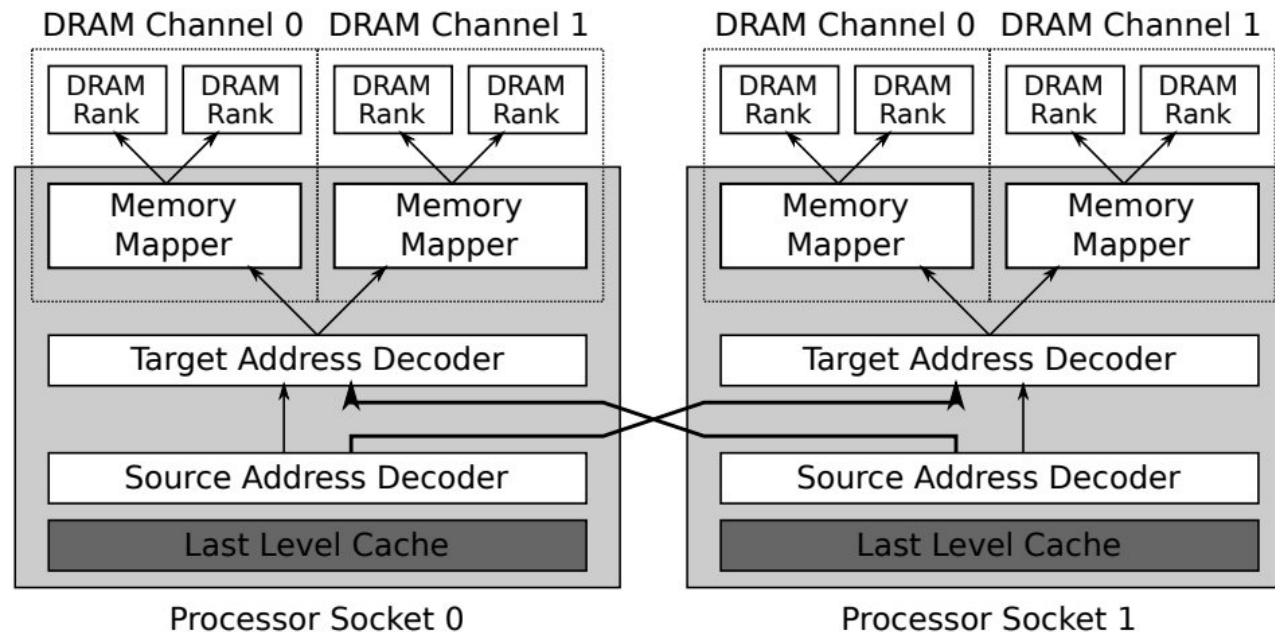
# AMD EPYC Platform



CPU: 32 ядра (64 SMT),  
8 каналный контроллер памяти

# POST (Power-On Self-Test)

- Начальная инициализация устройств: video, SCSI, CPU, DMA, PIC, system memory
- Чтение SPD модулей DIMM (SMBus)
- Настройка контроллеров памяти (тайминги из SPD)
- Настройка маршрутизации адресов между NUMA-узлами через межпроцессорную шину (Intel QPI/UPI)



# Отображение физических адресов на банки DRAM

- **Контроллер памяти отображает физические адреса на модули памяти:**  
[Physical adress] → [Channel / Rank / Banks Group / Bank / Row / Col]
- **Целевые показатели при выборе схемы отображения адресов:**
  - Минимизация конфликтов банков DRAM
  - Равномерное распределение запросов к каналам памяти

Virtual address (64 bit, x86-64):



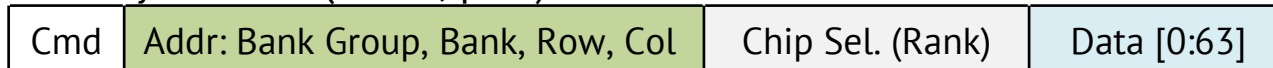
↓ OS + CPU

Physical address (39 bit, Intel i7 11th Gen):



↓ MC

Memory channel (DDR4, pins):



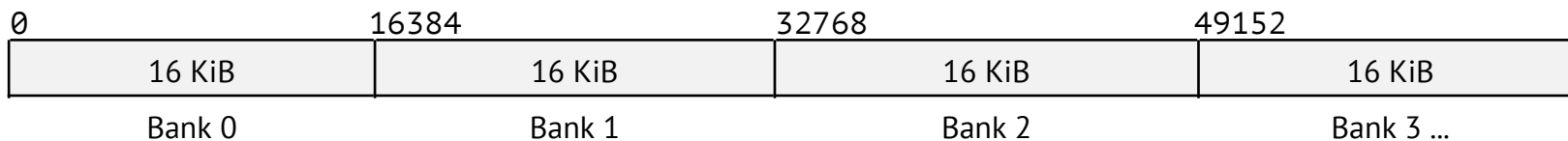
# Отображение физических адресов на банки DRAM

- **Один канал памяти шириной 64 бит**
- Микросхема DRAM: 8 банков, банк  $2^{14}$  строк,  $2^{11}$  столбцов (16384 x 2048)
- **Чередование строк банка (row interleaving)**
  - строки последовательно отображаются на банки 0, 1, ..., 7
  - переключение банка через  $2^{14}$  байт (использованы все столбцы строки)

Physical Address



Отображение адресов при последовательном обращении по адресам: 0, 1, ..., 16384, ..., 49152, ...



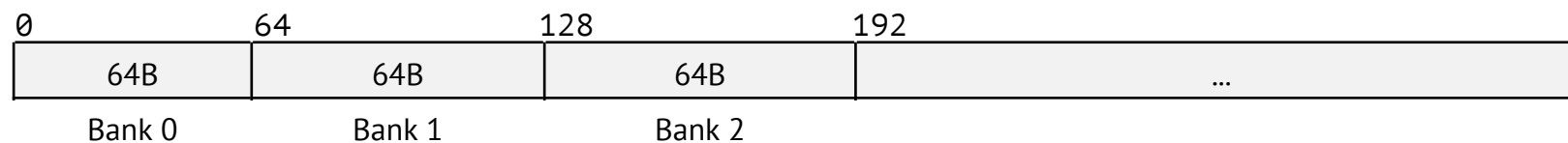
# Отображение физических адресов на банки DRAM

- Один канал памяти шириной 64 бит
- Микросхема DRAM: 8 банков, банк  $2^{14}$  строк,  $2^{11}$  столбцов (16384 x 2048)
- **Чередование строк кеш-памяти** (cache line interleaving)
  - строки кеш-памяти (64B) последовательно отображаются на банки 0, 1, ..., 7
  - переключение банка через 64 байт

Physical Address

Row (14 bits)	Column (high 8 bits)	Bank (3 bits)	Column (low 3 bits)	Byte (3 bits)
---------------	----------------------	---------------	---------------------	---------------

Отображение адресов при последовательном обращении по адресам: 0, 1, ..., 64, ..., 192, ...



# Отображение физических адресов на банки DRAM

- Несколько каналов памяти (два канала – 1 бит в адресе)

Physical Address

Channel	Row (14 bits)	Bank (3 bits)	Column (11 bits)	Byte (3 bits)
---------	---------------	---------------	------------------	---------------

Половина памяти на канал

Row (14 bits)	Channel	Bank (3 bits)	Column (11 bits)	Byte (3 bits)
---------------	---------	---------------	------------------	---------------

Чередование канала через 16KiB

Row (14 bits)	Bank (3 bits)	Channel	Column (11 bits)	Byte (3 bits)
---------------	---------------	---------	------------------	---------------

Чередование канала через 16KiB

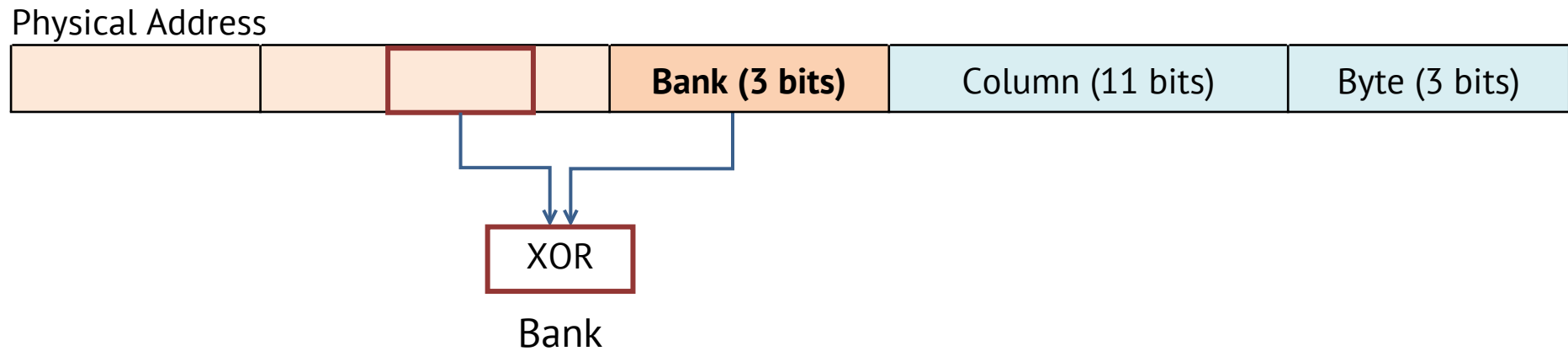
Row (14 bits)	Bank (3 bits)	Column (11 bits)	Channel	Byte (3 bits)
---------------	---------------	------------------	---------	---------------

Чередование канала через 8B

Row (14 bits)	Column (8 bits)	Bank (3 bits)	Channel	Column (low 3 bits)	Byte (3 bits)
---------------	-----------------	---------------	---------	---------------------	---------------

# Рандомизация отображения адресов на банки DRAM

- Контролер памяти может применять эвристический алгоритм для минимизации конфликтов доступа к банкам памяти





# **Сбор информации о конфигурации системы (GNU/Linux)**

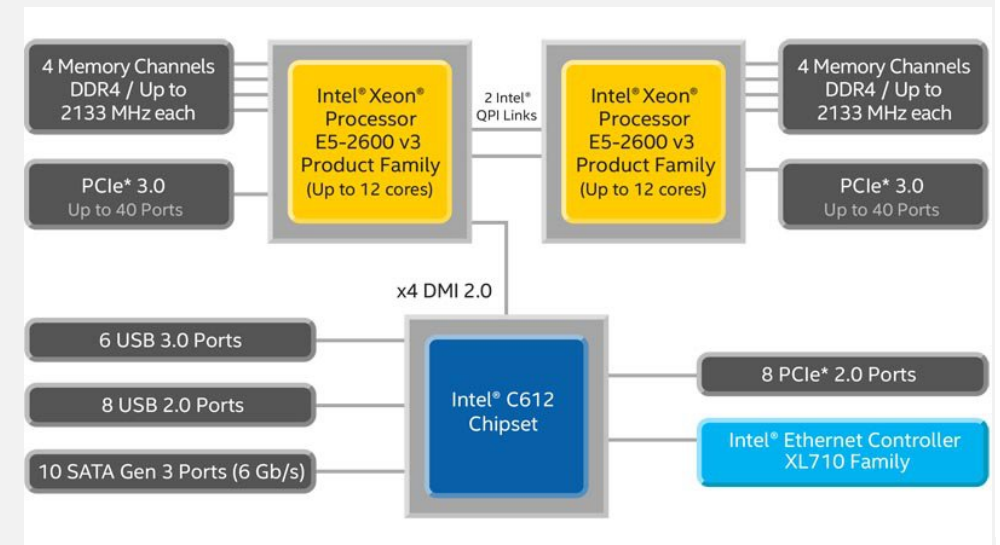
# Информация о процессорах

## \$ lscpu

```
Architecture:          x86_64
CPU op-mode(s):        32-bit, 64-bit
Address sizes:         46 bits physical, 48 bits virtual
Byte Order:            Little Endian
CPU(s):                32
On-line CPU(s) list:  0-31
Vendor ID:             GenuineIntel
Model name:            Intel(R) Xeon(R) CPU E5-2620 v4 @ 2.10GHz
CPU family:            6
Model:                 79
Thread(s) per core:    2
Core(s) per socket:    8
Socket(s):             2
Stepping:              1
CPU max MHz:           3000.0000
CPU min MHz:           1200.0000
BogoMIPS:              4190.68
Flags:                 fpu vme de pse tsc msr pae mce cx8 apic sep mtrr pge mca cmov pat pse36 clflush dts acpi mmx fxsr sse sse2 ss ht tm pbe syscall
                        nx pdpe1gb rdtscp lm constant_tsc arch_perfmon pebs bts rep_good nopl xtopology nonstop_tsc cpuid aperfmperf pni pclmulqdq dtes6
                        4 monitor ds_cpl vmx smx est tm2 ssse3 sdbg fma cx16 xtpr pdcm pcid dca sse4_1 sse4_2 x2apic movbe popcnt tsc_deadline_timer aes
                        xsave avx f16c rdrand lahf_lm abm 3dnowprefetch cpuid_fault epb cat_l3 cdp_l3 invpcid_single pti intel_ppin ssbd ibrs ibpb stib
                        p tpr_shadow vnmi flexpriority ept vpid ept_ad fsgsbase tsc_adjust bmi1 hle avx2 smep bmi2 erms invpcid rtm cqm rdt_a rdseed adx
                        smap intel_pt xsaveopt cqm_llc cqm_occup_llc cqm_mbm_total cqm_mbm_local dtherm ida arat pln pts md_clear flush_l1d

Virtualization features:
Virtualization:        VT-x
Caches (sum of all):
L1d:                   512 KiB (16 instances)
L1i:                   512 KiB (16 instances)
L2:                    4 MiB (16 instances)
L3:                    40 MiB (2 instances)
NUMA:
NUMA node(s):          2
NUMA node0 CPU(s):    0-7,16-23
NUMA node1 CPU(s):    8-15,24-31
Vulnerabilities:
Itlb multihit:         KVM: Mitigation: VMX disabled
L1tf:                  Mitigation; PTE Inversion; VMX conditional cache flushes, SMT vulnerable
Mds:                   Mitigation; Clear CPU buffers; SMT vulnerable
Meltdown:              Mitigation; PTI
Mmio stale data:       Mitigation; Clear CPU buffers; SMT vulnerable
Retbleed:              Not affected
Spec store bypass:     Mitigation; Speculative Store Bypass disabled via prctl
Spectre v1:            Mitigation; usercopy/swaps barriers and __user pointer sanitization
Spectre v2:            Mitigation; Retpolines, IBPB conditional, IBRS_FW, STIBP conditional, RSB filling
Srbds:                 Not affected
Tsx async abort:       Mitigation; Clear CPU buffers; SMT vulnerable
```

- 2 x Intel Xeon E5-2620 v4
- Соединений QPI 2 (2 x 8 GT/s)
- Каналов памяти 4
- Физический адрес 46 бит
- Bandwidth 68256 MB/s  
(2133 MT/s \* 8-bit \* 4 channels)



# Информация о процессорах

```
$ cat /proc/cpuinfo
```

```
processor      : 0
vendor_id     : GenuineIntel
cpu family    : 6
model         : 79
model name    : Intel(R) Xeon(R) CPU E5-2620 v4 @ 2.10GHz
stepping      : 1
microcode     : 0xb000040
cpu MHz       : 1200.000
cache size    : 20480 KB
physical id   : 0
siblings      : 16
core id       : 0
cpu cores     : 8
apicid        : 0
initial apicid : 0
fpu           : yes
fpu_exception : yes
cpuid level   : 20
wp            : yes
flags         : fpu vme de pse tsc msr pae mce cx8 apic sep mtrr pge mca cmov pat pse36 clflush dts acpi mmx fxsr sse sse2 ss ht tm pbe
syscall nx pdpe1gb rdtscp lm constant_tsc arch_perfmon pebs bts rep_good nopl xtopology nonstop_tsc cpuid aperfmperf pni pclmulqdq dtes64 monitor
ds_cpl vmx smx est tm2 ssse3 sdbg fma cx16 xtpr pdcm pcid dca sse4_1 sse4_2 x2apic movbe popcnt tsc_deadline_timer aes xsave avx f16c rdrand
lahf_lm abm 3dnowprefetch cpuid_fault epb cat_l3 cdp_l3 invpcid_single pti intel_ppin ssbd ibrs ibpb stibp tpr_shadow vnmi flexpriority ept vpid
ept_ad fsgsbase tsc_adjust bmi1 hle avx2 smep bmi2 erms invpcid rtm cqm rdt_a rdseed adx smap intel_pt xsaveopt cqm_llc cqm_occup_llc
cqm_mbm_total cqm_mbm_local dtherm ida arat pln pts md_clear flush_l1d
vmx flags     : vnmi preemption_timer posted_intr invvpid ept_x_only ept_ad ept_1gb flexpriority apicv tsc_offset vtptr mtf vopic ept vpid
unrestricted_guest vopic_reg vid ple shadow_vmcs pml
bugs          : cpu_meltdown spectre_v1 spectre_v2 spec_store_bypass l1tf mds swapsgs taa itlb_multihit mmio_stale_data
bogomips      : 4190.68
clflush size  : 64
cache_alignment : 64
address sizes  : 46 bits physical, 48 bits virtual
power management:
```

# Информация о процессорах

```
$ ls /sys/devices/system/cpu/cpu0
```

```
cache/  
  index0/  
    coherency_line_size  
    id  
    level  
    number_of_sets  
    physical_line_partition  
    shared_cpu_list  
    shared_cpu_map  
    size  
    type  
    uevent  
    ways_of_associativity  
  index1/  
  index2/  
  index3/  
cpufreq/  
cpuidle/  
driver/  
firmware_node/  
hotplug/  
microcode/  
node0/  
power/  
subsystem/  
thermal_throttle/  
topology/  
crash_notes  
crash_notes_size  
uevent
```

# Информация о процессорах

## # dmidecode -t processor

Getting SMBIOS data from sysfs.

SMBIOS 2.8 present.

Handle 0x007A, DMI type 4, 48 bytes

Processor Information

Socket Designation: SOCKET 1

Type: Central Processor

Family: Xeon

Manufacturer: Intel

ID: F1 06 04 00 FF FB EB BF

Signature: Type 0, Family 6, Model 79, Stepping 1

Flags:

FPU (Floating-point unit on-chip)

...

Version: Intel(R) Xeon(R) CPU E5-2620 v4 @ 2.10GHz

External Clock: 100 MHz

Max Speed: 4000 MHz

Current Speed: 2100 MHz

Status: Populated, Enabled

Upgrade: Socket LGA2011-3

L1 Cache Handle: 0x0077

L2 Cache Handle: 0x0078

L3 Cache Handle: 0x0079

Part Number: Not Specified

Core Count: 8

Core Enabled: 8

Thread Count: 16

Characteristics:

64-bit capable

Multi-Core

Hardware Thread

Execute Protection

Enhanced Virtualization

Power/Performance Control

# Информация о памяти

```
$ lsmem
```

RANGE	SIZE	STATE	REMOVABLE	BLOCK
0x0000000000000000-0x000000007fffffff	2G	online	yes	0
0x0000000100000000-0x000000107fffffff	62G	online	yes	2-32

```
Memory block size:      2G
```

```
Total online memory:   64G
```

```
Total offline memory:  0B
```

# Информация о памяти

```
$ cat /proc/meminfo
MemTotal:      65824412 kB
MemFree:       63860084 kB
MemAvailable:  64524252 kB
Buffers:       2152 kB
Cached:        1107216 kB
SwapCached:    0 kB
Active:        650548 kB
Inactive:      600712 kB
Active(anon):  996 kB
Inactive(anon): 142916 kB
Active(file):  649552 kB
Inactive(file): 457796 kB
Unevictable:   0 kB
Mlocked:       0 kB
SwapTotal:     8388604 kB
SwapFree:      8388604 kB
Dirty:         0 kB
Writeback:     0 kB
AnonPages:     142004 kB
Mapped:        251332 kB
Shmem:         2020 kB
KReclaimable:  140956 kB
Slab:          307208 kB
...
```

# Информация о памяти

```
$ free
      total        used        free      shared  buff/cache   available
Mem:   65824412    714916    63859204         2020     1250292    64523356
Swap:   8388604         0         8388604
```



# Информация о памяти

## # dmidecode -t memory

Getting SMBIOS data from sysfs.

Handle 0x0063, DMI type 16, 23 bytes

Physical Memory Array

Location: System Board Or Motherboard

Use: System Memory

Error Correction Type: Multi-bit ECC

Maximum Capacity: 256 GB

Error Information Handle: Not Provided

Number Of Devices: 4

Handle 0x0065, DMI type 17, 40 bytes

Memory Device

Array Handle: 0x0063

Total Width: 72 bits

Data Width: 72 bits

Size: 8 GB

Form Factor: DIMM

Locator: DIMM\_A1

Bank Locator: NODE 1

Type: DDR4

Type Detail: Synchronous

Speed: 2133 MT/s

Rank: 1

Handle 0x0067, DMI type 17, 40 bytes

Memory Device

Array Handle: 0x0063

Size: 8 GB

Locator: DIMM\_B1

Bank Locator: NODE 1

Rank: 1

Handle 0x0069, DMI type 17, 40 bytes

Memory Device

Array Handle: 0x0063

Size: 8 GB

Locator: DIMM\_C1

Bank Locator: NODE 1

Rank: 1

Handle 0x006B, DMI type 17, 40 bytes

Memory Device

Array Handle: 0x0063

Size: 8 GB

Locator: DIMM\_D1

Bank Locator: NODE 1

Rank: 1

...

Handle 0x006D, DMI type 16, 23 bytes

Physical Memory Array

Location: System Board Or Motherboard

Use: System Memory

Error Correction Type: Multi-bit ECC

Maximum Capacity: 256 GB

Error Information Handle: Not Provided

Number Of Devices: 4

Handle 0x006F, DMI type 17, 40 bytes

Memory Device

Array Handle: 0x006D

Total Width: 72 bits

Data Width: 72 bits

Size: 8 GB

Form Factor: DIMM

Locator: DIMM\_E1

Bank Locator: NODE 2

Type: DDR4

Type Detail: Synchronous

Speed: 2133 MT/s

Rank: 1

Handle 0x0071, DMI type 17, 40 bytes

Memory Device

Array Handle: 0x006D

Size: 8 GB

Locator: DIMM\_F1

Bank Locator: NODE 2

Rank: 1

Handle 0x0073, DMI type 17, 40 bytes

Memory Device

Array Handle: 0x006D

Size: 8 GB

Locator: DIMM\_G1

Bank Locator: NODE 2

Rank: 1

Handle 0x0075, DMI type 17, 40 bytes

Memory Device

Array Handle: 0x006D

Size: 8 GB

Locator: DIMM\_H1

Bank Locator: NODE 2

Rank: 1

- 8 модулей DIMM (DDR4 ECC 2133 MT/s)
- 4 канала памяти
- Bandwidth 68256 MB/s (2133 MT/s \* 8-bit \* 4 channels)

# Информация о памяти

```
# lshw -short -C memory
```

H/W path	Device	Class	Description
/0/0		memory	64KiB BIOS
/0/63		memory	64GiB System Memory
/0/63/0		memory	8GiB DIMM DDR4 Synchronous 2133 MHz (0.5 ns)
/0/63/1		memory	8GiB DIMM DDR4 Synchronous 2133 MHz (0.5 ns)
/0/63/2		memory	8GiB DIMM DDR4 Synchronous 2133 MHz (0.5 ns)
/0/63/3		memory	8GiB DIMM DDR4 Synchronous 2133 MHz (0.5 ns)
/0/63/4		memory	8GiB DIMM DDR4 Synchronous 2133 MHz (0.5 ns)
/0/63/5		memory	8GiB DIMM DDR4 Synchronous 2133 MHz (0.5 ns)
/0/63/6		memory	8GiB DIMM DDR4 Synchronous 2133 MHz (0.5 ns)
/0/63/7		memory	8GiB DIMM DDR4 Synchronous 2133 MHz (0.5 ns)
/0/77		memory	512KiB L1 cache
/0/78		memory	2MiB L2 cache
/0/79		memory	20MiB L3 cache
/0/7b		memory	512KiB L1 cache
/0/7c		memory	2MiB L2 cache
/0/7d		memory	20MiB L3 cache

# getconf

```
$ getconf -a
```

```
LEVEL1_ICACHE_SIZE          32768
LEVEL1_ICACHE_ASSOC
LEVEL1_ICACHE_LINESIZE      64
LEVEL1_DCACHE_SIZE          49152
LEVEL1_DCACHE_ASSOC         12
LEVEL1_DCACHE_LINESIZE      64
LEVEL2_CACHE_SIZE           1310720
LEVEL2_CACHE_ASSOC          20
LEVEL2_CACHE_LINESIZE       64
LEVEL3_CACHE_SIZE           12582912
LEVEL3_CACHE_ASSOC          12
LEVEL3_CACHE_LINESIZE       64
LEVEL4_CACHE_SIZE           0
LEVEL4_CACHE_ASSOC
LEVEL4_CACHE_LINESIZE
```

```
$ getconf LEVEL1_DCACHE_LINESIZE
64
```

# Эльбрус-16С

```
$ cat /proc/cpuinfo
```

```
processor : 0
vendor_id : Elbrus-MCST
cpu family      : 6
model          : 0
model name     : E16S
revision      : 0
cpu MHz        : 2000.452
cache0         : level=1 type=Instruction scope=Private size=128K line_size=256 associativity=4
cache1         : level=1 type=Data scope=Private size=64K line_size=32 associativity=4
cache2         : level=2 type=Unified scope=Private size=1024K line_size=64 associativity=4
cache3         : level=3 type=Unified scope=Private size=32768K line_size=64 associativity=16
bogomips      : 4000.07

processor : 1
...

processor : 15
vendor_id : Elbrus-MCST
cpu family      : 6
model          : 0
model name     : E16S
revision      : 0
cpu MHz        : 2000.452
cache0         : level=1 type=Instruction scope=Private size=128K line_size=256 associativity=4
cache1         : level=1 type=Data scope=Private size=64K line_size=32 associativity=4
cache2         : level=2 type=Unified scope=Private size=1024K line_size=64 associativity=4
cache3         : level=3 type=Unified scope=Private size=32768K line_size=64 associativity=16
bogomips      : 4000.07
```

# Lenovo ThinkPad X1 Nano Gen1

```
$ cat /proc/cpuinfo
11th Gen Intel(R) Core(TM) i7-1160G7 @ 1.20GHz
```

- Intel TigerLake UP4
- 2 канала памяти LPDDR4x-4267:  
68 GB/s (2 channels \* 4 \* 2B width \* 4267 speed)

## 11th Generation Intel Core: Processor Datasheet Volume 2 of 2

- 2.3 System Address Map  
«The processor supports 512 GB (39 bits) of addressable memory space and 64KB+3 of addressable I/O space»

```
$ sudo dmidecode -t memory
Handle 0x0001, DMI type 16, 23 bytes
Physical Memory Array
    Maximum Capacity: 16 GB
    Number Of Devices: 8
Handle 0x0002, DMI type 17, 92 bytes
Memory Device
    Total Width: 16 bits
    Data Width: 16 bits
    Size: 2 GB
    Type: LPDDR4
    Speed: 4267 MT/s
...
```

```
$ sudo dmidecode -t memory | grep Locator
Locator: Controller0-ChannelA
Bank Locator: BANK 0
Locator: Controller0-ChannelB
Bank Locator: BANK 1
Locator: Controller0-ChannelC
Bank Locator: BANK 2
Locator: Controller0-ChannelD
Bank Locator: BANK 3
Locator: Controller1-ChannelA
Bank Locator: BANK 0
Locator: Controller1-ChannelB
Bank Locator: BANK 1
Locator: Controller1-ChannelC
Bank Locator: BANK 2
Locator: Controller1-ChannelD
Bank Locator: BANK 3
```

# Raspberry Pi 4 Model B Rev 1.1 (ARMv8)

```
$ lscpu
Architecture:          aarch64
CPU op-mode(s):        32-bit, 64-bit
Byte Order:            Little Endian
CPU(s):                4
On-line CPU(s) list:   0-3
Thread(s) per core:    1
Core(s) per socket:    4
Socket(s):              1
Vendor ID:             ARM
Model:                  3
Model name:             Cortex-A72
```

```
$ getconf LEVEL1_DCACHE_LINESIZE
64
```

```
$ cat /sys/firmware/devicetree/base/model
Raspberry Pi 4 Model B Rev 1.1
```

- Quad-core Cortex-A72 (ARM v8) 64-bit SoC @ 1.5 GHz
- RAM: LPDDR4-2400 SDRAM
- L1: 32 КБ данных + 48 КБ кэша L1 на ядро
- L2 1 МБ